

Family list**8 family members for:****JP2002057341**

Derived from 5 applications.

- 1 Film semiconductor device and liquid crystal display unit and manufacture thereof**
Publication info: CN1185530C C - 2005-01-19
CN1338658 A - 2002-03-06
- 2 Thin film semiconductor device and liquid crystal display unit, and fabrication methods thereof**
Publication info: EP1180716 A2 - 2002-02-20
EP1180716 A3 - 2003-10-01
- 3 THIN-FILM SEMICONDUCTOR DEVICE, LIQUID CRYSTAL DISPLAY, AND MANUFACTURING METHODS FOR THEM**
Publication info: JP2002057341 A - 2002-02-22
- 4 No English title available**
Publication info: TW544906 B - 2003-08-01
- 5 Thin film semiconductor device and liquid crystal display unit, and fabrication methods thereof**
Publication info: US6587165 B2 - 2003-07-01
US2002089616 A1 - 2002-07-11

Data supplied from the *esp@cenet* database - Worldwide

THIN-FILM SEMICONDUCTOR DEVICE, LIQUID CRYSTAL DISPLAY, AND MANUFACTURING METHODS FOR THEM

Patent number: JP2002057341
Publication date: 2002-02-22
Inventor: HASHIMOTO MAKOTO; SATO TAKUO
Applicant: SONY CORP
Classification:
- international: **G02F1/1362; G02F1/1368; G02F1/13; (IPC1-7):**
H01L29/786; G02F1/1345; G02F1/1368; G09F9/30
- european: G02F1/1362B; G02F1/1362C; G02F1/1368
Application number: JP20000242170 20000810
Priority number(s): JP20000242170 20000810

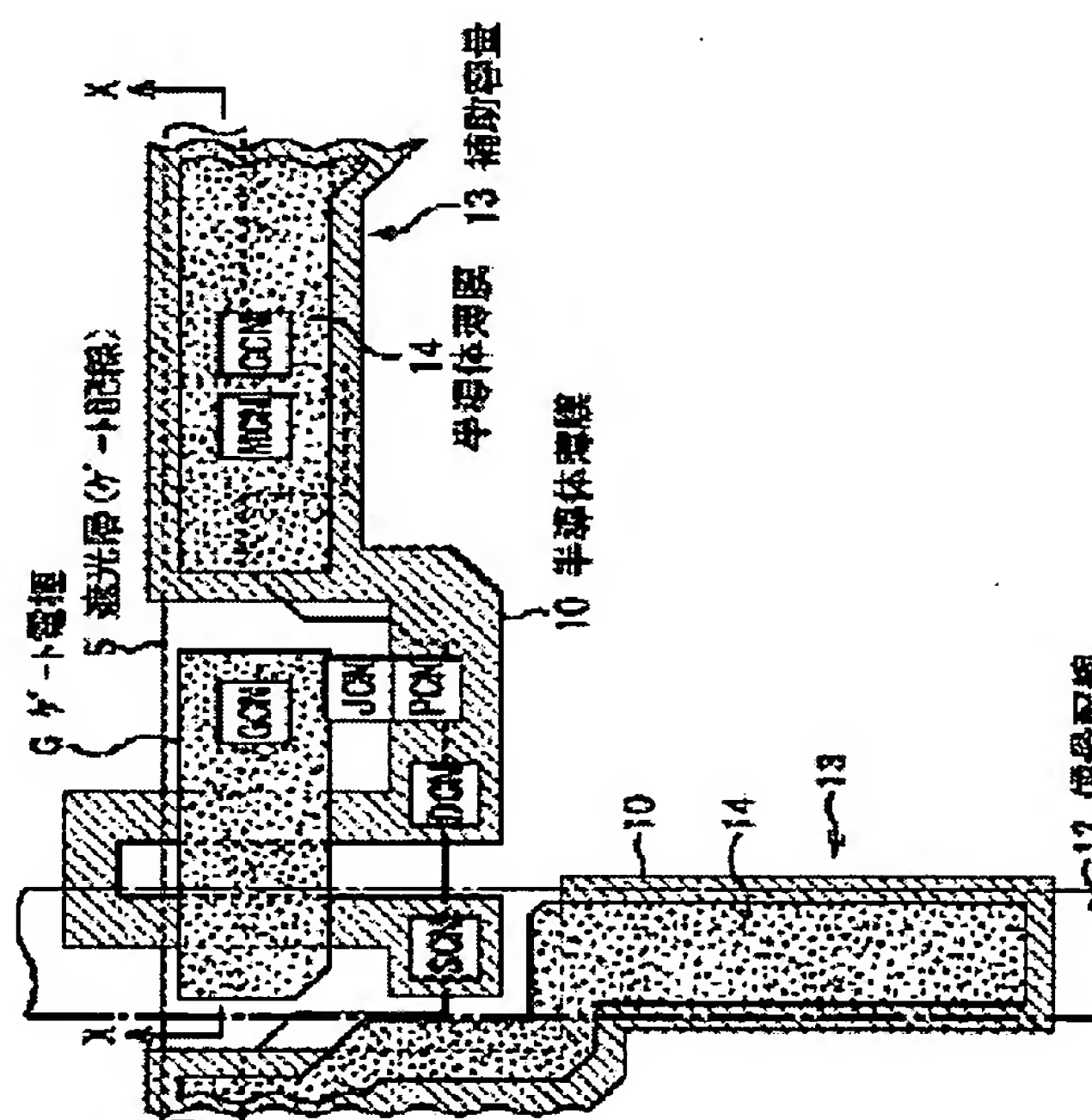
Also published as:

EP1180716 (A2)
 US6587165 (B2)
 US2002089616 (A)
 EP1180716 (A3)
 CN1185530C (C)

Report a data error he

Abstract of JP2002057341

PROBLEM TO BE SOLVED: To improve the pixel aperture rate of a thin-film semiconductor device used as a drive substrate of an active matrix liquid crystal display. **SOLUTION:** The thin-film semiconductor device has a plurality of signal wirings 12 and a mutually intersected gate wiring, and a pixel is arranged at each intersection of both wirings on an insulating substrate. Each pixel contains at least a pixel electrode, a thin-film transistor for driving the pixel electrode, and a light shading belt 5 for shielding a thin-film transistor from the external light. The source of the thin film transistor is connected with the signal wiring 12, and a drain is connected with the pixel electrode. A gate electrode (G) is connected with the gate wiring. The light shading belt 5 consists of the first conductive layer and at least a part of the shading belt 5 is used to the gate wiring. The gate electrode (G) consists of a second conductive layer which is different from the first conductive layer. The first conductive layer used as the gate wire and the second conductive layer as the gate electrode G are connected mutually in each pixel electrically via a contact hole GCN.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-57341

(P 2 0 0 2 - 5 7 3 4 1 A)
(43)公開日 平成14年 2 月22日 (2002. 2. 22)

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
H01L 29/786		G02F 1/1345	2H092
G02F 1/1345		G09F 9/30	330 Z 5C094
1/1368			338 5F110
G09F 9/30	330	H01L 29/78	619 B
	338	G02F 1/136	500

審査請求 有 請求項の数24 O L (全10頁) 最終頁に続く

(21)出願番号	特願2000-242170 (P 2000-242170)	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川 6 丁目 7 番35号
(22)出願日	平成12年 8 月10日 (2000. 8. 10)	(72)発明者	橋本 誠 東京都品川区北品川 6 丁目 7 番35号 ソニ ー株式会社内
		(72)発明者	佐藤 拓生 東京都品川区北品川 6 丁目 7 番35号 ソニ ー株式会社内
		(74)代理人	100092336 弁理士 鈴木 晴敏

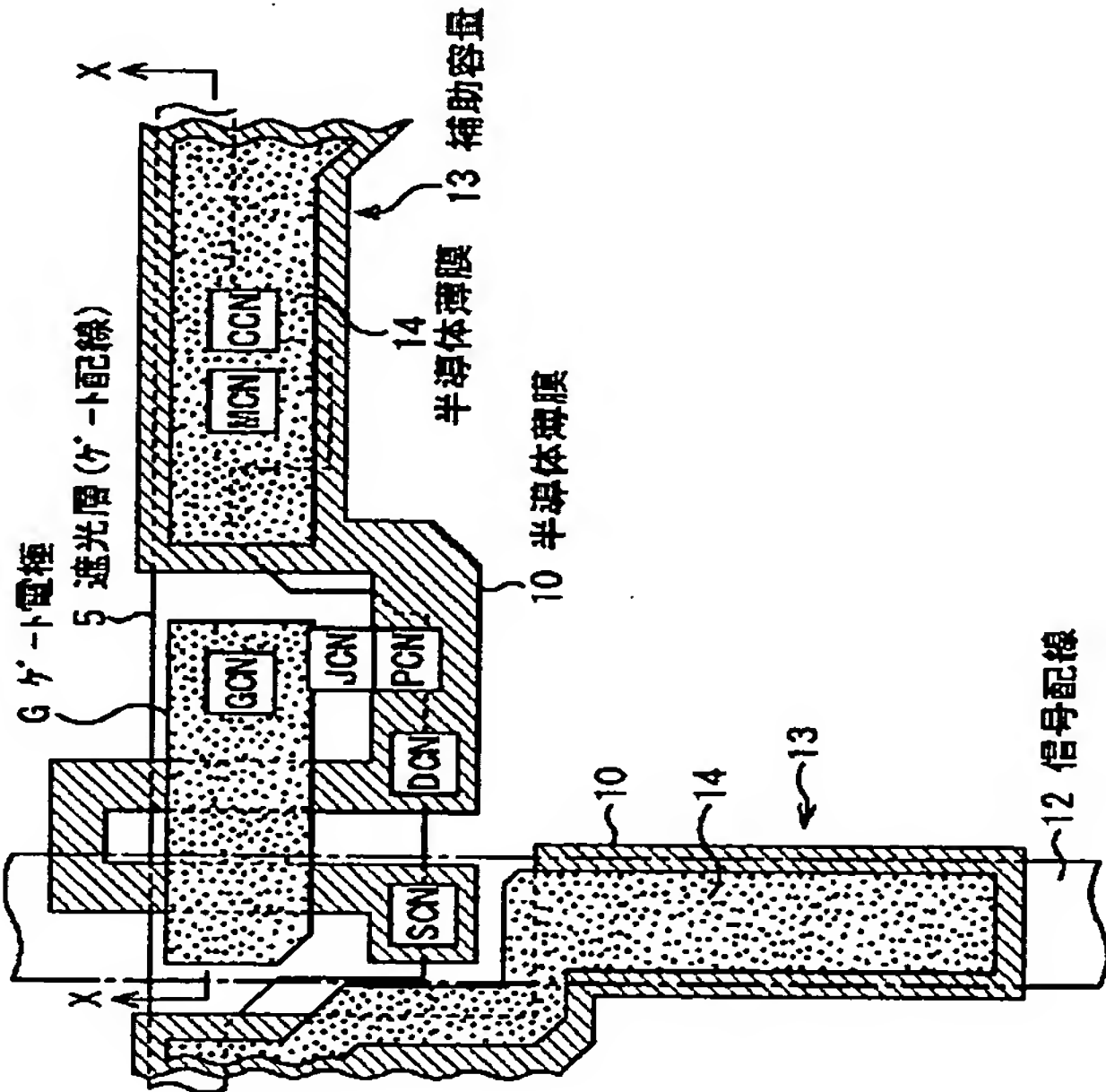
最終頁に続く

(54) 【発明の名称】 薄膜半導体装置及び液晶表示装置とこれらの製造方法

(57) 【要約】

【課題】 アクティブマトリクス型液晶表示装置の駆動基板として使われる薄膜半導体装置の画素開口率を改善する。

【解決手段】 薄膜半導体装置は、互いに交差する複数の信号配線 1 2 及びゲート配線と、両配線の各交差部に配された画素とを絶縁性の基板上に備える。各画素は、少なくとも画素電極と、これを駆動する薄膜トランジスタと、薄膜トランジスタを外光から遮蔽する遮光帯 5 とを含む。薄膜トランジスタのソースは信号配線 1 2 に接続され、ドレインは画素電極に接続され、ゲート電極 G はゲート配線に接続されている。遮光帯 5 は、第一の導電層からなり少なくとも一部がゲート配線に使用される。ゲート電極 G は、第一の導電層とは異なる第二の導電層からなる。ゲート配線に使用される第一の導電層と、ゲート電極 G になる第二の導電層とが、コンタクトホール G C N を介して各画素内で互いに電氣的に接続されている。



【特許請求の範囲】

【請求項 1】 互いに交差する複数の信号配線及びゲート配線と、両配線の各交差部に配された画素とを絶縁性の基板上に備え、

各画素は、少なくとも画素電極と、これを駆動する薄膜トランジスタと、該薄膜トランジスタを外光から遮蔽する遮光帯とを含み、

該薄膜トランジスタのソースは該信号配線に接続され、ドレインは該画素電極に接続され、ゲート電極は該ゲート配線に接続されている薄膜半導体装置において、

前記遮光帯は、第一の導電層からなり少なくとも一部が該ゲート配線に使用され、

前記ゲート電極は、第一の導電層とは異なる第二の導電層からなり、

ゲート配線に使用される該第一の導電層と、ゲート電極になる該第二の導電層とが、各画素内で互いに電氣的に接続されていることを特徴とする薄膜半導体装置。

【請求項 2】 前記ゲート電極を構成する第二の導電層は各画素毎に分断されており、分断された個々の第二の導電層の部分は各画素内で該ゲート配線に使用される該第一の導電層と電氣的に接続されていることを特徴とする請求項 1 記載の薄膜半導体装置。

【請求項 3】 前記ゲート配線を構成する第一の導電層は各画素毎に分断されており、分断された個々の第一の導電層の部分は各画素内で該ゲート電極となる該第二の導電層と電氣的に接続されていることを特徴とする請求項 1 記載の薄膜半導体装置。

【請求項 4】 前記遮光帯は、該薄膜トランジスタを上下の両方から遮蔽する二層の導電層からなり、その片方が第一の導電層として該ゲート配線に使用されていることを特徴とする請求項 1 記載の薄膜半導体装置。

【請求項 5】 前記遮光帯は、該薄膜トランジスタを上下の内片側から遮蔽する単層の導電層からなり、これが第一の導電層として該ゲート配線に使用されていることを特徴とする請求項 1 記載の薄膜半導体装置。

【請求項 6】 各画素は、該薄膜トランジスタを介して信号配線から該画素電極に書き込まれた信号電荷を保持するために誘電体を上下一対の電極で挟んだ補助容量を含み、該上下一対の電極の一方が該ゲート電極を構成する第二の導電層と同層であることを特徴とする請求項 1 記載の薄膜半導体装置。

【請求項 7】 所定の間隙を介して互いに接合した一対の基板と、該間隙に保持された液晶とからなり、一方の基板は、互いに交差する複数の信号配線及びゲート配線と、両配線の各交差部に配された画素を有する一方、他方の基板は各画素に対向する電極を有し、各画素は、少なくとも画素電極と、これを駆動する薄膜トランジスタと、該薄膜トランジスタを外光から遮蔽する遮光帯とを含み、

該薄膜トランジスタのソースは該信号配線に接続され、

ドレインは該画素電極に接続され、ゲート電極は該ゲート配線に接続されている液晶表示装置において、

前記遮光帯は、第一の導電層からなり少なくとも一部が該ゲート配線に使用され、

前記ゲート電極は、第一の導電層とは異なる第二の導電層からなり、

ゲート配線に使用される該第一の導電層と、ゲート電極になる該第二の導電層とが、各画素内で互いに電氣的に接続されていることを特徴とする液晶表示装置。

10 【請求項 8】 前記ゲート電極を構成する第二の導電層は各画素毎に分断されており、分断された個々の第二の導電層の部分は各画素内で該ゲート配線に使用される該第一の導電層と電氣的に接続されていることを特徴とする請求項 7 記載の液晶表示装置。

【請求項 9】 前記ゲート配線を構成する第一の導電層は各画素毎に分断されており、分断された個々の第一の導電層の部分は各画素内で該ゲート電極となる該第二の導電層と電氣的に接続されていることを特徴とする請求項 7 記載の液晶表示装置。

20 【請求項 10】 前記遮光帯は、該薄膜トランジスタを上下の両方から遮蔽する二層の導電層からなり、その片方が第一の導電層として該ゲート配線に使用されていることを特徴とする請求項 7 記載の液晶表示装置。

【請求項 11】 前記遮光帯は、該薄膜トランジスタを上下の内片側から遮蔽する単層の導電層からなり、これが第一の導電層として該ゲート配線に使用されていることを特徴とする請求項 7 記載の液晶表示装置。

30 【請求項 12】 各画素は、該薄膜トランジスタを介して該信号配線から該画素電極に書き込まれた信号電荷を保持するために誘電体を上下一対の電極で挟んだ補助容量を含み、該上下一対の電極の一方が該ゲート電極を構成する第二の導電層と同層であることを特徴とする請求項 7 記載の液晶表示装置。

【請求項 13】 互いに交差する複数の信号配線及びゲート配線と、両配線の各交差部に配された画素とを絶縁性の基板上に備え、各画素は、少なくとも画素電極と、これを駆動する薄膜トランジスタと、該薄膜トランジスタを外光から遮蔽する遮光帯とを含み、該薄膜トランジスタのソースは該信号配線に接続され、ドレインは該画素電極に接続され、ゲート電極は該ゲート配線に接続されている薄膜半導体装置の製造方法において、

前記遮光帯は、第一の導電層で形成すると共に少なくともその一部を該ゲート配線に使用し、

前記ゲート電極は、第一の導電層とは異なる第二の導電層で形成し、

ゲート配線に使用する該第一の導電層とゲート電極になる該第二の導電層とを各画素内で互いに電氣的に接続することを特徴とする薄膜半導体装置の製造方法。

50 【請求項 14】 前記ゲート電極を構成する第二の導電層を各画素毎に分断すると共に、分断した個々の第二の

導電層の部分を各画素内で該ゲート配線に使用する該第一の導電層と電氣的に接続することを特徴とする請求項 13 記載の薄膜半導体装置の製造方法。

【請求項 15】 前記ゲート配線を構成する第一の導電層を各画素毎に分断すると共に、分断した個々の第一の導電層の部分を各画素内で該ゲート電極となる該第二の導電層と電氣的に接続することを特徴とする請求項 13 記載の薄膜半導体装置の製造方法。

【請求項 16】 前記遮光帯は、該薄膜トランジスタを上下の両方から遮蔽する二層の導電層で形成し、その片方を第一の導電層として該ゲート配線に使用することを特徴とする請求項 13 記載の薄膜半導体装置の製造方法。

【請求項 17】 前記遮光帯は、該薄膜トランジスタを上下の内片側から遮蔽する単層の導電層で形成し、これを第一の導電層として該ゲート配線に使用することを特徴とする請求項 13 記載の薄膜半導体装置の製造方法。

【請求項 18】 該信号配線から該薄膜トランジスタを介して該画素電極に書き込まれる信号電荷を保持するために誘電体を上下一対の電極で挟んだ補助容量を各画素に形成し、該上下一対の電極の一方が該ゲート電極を構成する第二の導電層と同層になる様に形成することを特徴とする請求項 13 記載の薄膜半導体装置の製造方法。

【請求項 19】 所定の間隙を介して互いに接合した一対の基板と、該間隙に保持された液晶とからなり、一方の基板には互いに交差する複数の信号配線及びゲート配線と両配線の各交差部に配された画素を形成する一方、他方の基板には各画素に対向する電極を形成し、各画素には、少なくとも画素電極と、これを駆動する薄膜トランジスタと、該薄膜トランジスタを外光から遮蔽する遮光帯とを形成し、該薄膜トランジスタのソースを該信号配線に接続し、ドレインを該画素電極に接続し、ゲート電極を該ゲート配線に接続する液晶表示装置の製造方法において、

前記遮光帯は、第一の導電層で形成すると共に少なくともその一部を該ゲート配線に使用し、

前記ゲート電極は、第一の導電層とは異なる第二の導電層で形成し、

ゲート配線に使用する該第一の導電層とゲート電極になる該第二の導電層とを各画素内で互いに電氣的に接続することを特徴とする液晶表示装置の製造方法。

【請求項 20】 前記ゲート電極を構成する第二の導電層を各画素毎に分断すると共に、分断した個々の第二の導電層の部分を各画素内で該ゲート配線に使用する該第一の導電層と電氣的に接続することを特徴とする請求項 19 記載の液晶表示装置の製造方法。

【請求項 21】 前記ゲート配線を構成する第一の導電層を各画素毎に分断すると共に、分断した個々の第一の導電層の部分を各画素内で該ゲート電極となる該第二の導電層と電氣的に接続することを特徴とする請求項 19

記載の液晶表示装置の製造方法。

【請求項 22】 前記遮光帯は、該薄膜トランジスタを上下の両方から遮蔽する二層の導電層で形成し、その片方を第一の導電層として該ゲート配線に使用することを特徴とする請求項 19 記載の液晶表示装置の製造方法。

【請求項 23】 前記遮光帯は、該薄膜トランジスタを上下の内片側から遮蔽する単層の導電層で形成し、これを第一の導電層として該ゲート配線に使用することを特徴とする請求項 19 記載の液晶表示装置の製造方法。

【請求項 24】 該信号配線から該薄膜トランジスタを介して該画素電極に書き込まれる信号電荷を保持するために誘電体を上下一対の電極で挟んだ補助容量を各画素に形成し、該上下一対の電極の一方が該ゲート電極を構成する第二の導電層と同層になる様に形成することを特徴とする請求項 19 記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜半導体装置及び液晶表示装置とこれらの製造方法に関する。より詳しくは、薄膜半導体装置に集積形成される薄膜トランジスタのゲート配線構造及び遮光構造に関する。

【0002】

【従来の技術】薄膜トランジスタや画素電極を集積形成した薄膜半導体装置は、液晶表示装置の駆動基板に多用されている。特に、プロジェクタ用の液晶表示装置に組み込まれる薄膜半導体装置は、薄膜トランジスタをプロジェクタの強い光源光から遮蔽する為に遮光構造が必須となっており、図 5 にその一例を示す。図示する様に、液晶表示装置は画素電極 8 を駆動する為に薄膜トランジスタを用いている。この薄膜トランジスタは、例えば高温ポリシリコン T F T であるが、これに代えて低温ポリシリコン T F T や非晶質シリコン T F T を用いることも可能である。図示の液晶表示装置は、例えば特開平 2000-131716 号公報に開示されている。図示する様に、本液晶表示装置は、画素トランジスタである T F T 7 を有する基板 1 (T F T を担持する石英からなる) と、対向基板 2 とを備え、基板 1 と対向基板 2 との間には液晶 3 が保持される。対向基板 2 は対向電極 6 を備えている。

【0003】基板 1 は、上層部に画素電極 8 を有し、下層部に T F T (薄膜トランジスタ、ここではトップゲート構造の T F T) 7 を有する。T F T 7 は、画素電極 8 を駆動するスイッチング素子としての役割を果たす。T F T 7 は、例えば多結晶シリコンからなる半導体薄膜 10 を活性層としている。この半導体薄膜 10 は、第一層ポリシリコン (1 p o l y) で構成される。半導体薄膜 10 の上には、S i O₂ などからなるゲート絶縁膜 11 を介して、ゲート電極 G が形成されている。このゲート電極 G は、第二層ポリシリコン (2 p o l y) で構成される。T F T 7 は、ゲート電極 G の両側にソース領域 S

及びドレイン領域Dを有する。ソース／ドレイン端部にLDD領域が形成されている。ソース領域S及びドレイン領域Dには、各々引き出し電極12A、12Bが接続している。各引き出し電極12A、12Bは、アルミニウムなどのアルミニウム系材料で形成できる。引き出し電極12AはコンタクトホールSCNを介してTFT7のソース領域Sに電気接続し、他方の引き出し電極12Bは同じくコンタクトホールDCNを介してTFT7のドレイン領域Dに電気接続している。

【0004】半導体薄膜10には、補助容量13(Cs)が形成されている。この補助容量13(Cs)は、半導体薄膜10即ちTFT7を構成する第一層ポリシリコン(1poly)と、半導体薄膜14即ちゲート電極Gを構成する第二層ポリシリコン(2poly)とで、ゲート絶縁膜11を構成するSiO₂などの誘電体膜を挟んだものである。

【0005】画素電極8を有する上層部と、TFT7が形成されている下層部との間の中層部には、遮光層4M、4Pが形成されている。これは、TFT7に対して対向基板2側、即ち入射側にある遮光層であり、「上層遮光層」と呼ばれる。上層遮光層は、マスク遮光層4M及びパッド遮光層4Pとからなる。対向基板2側からの入射光に対しては二つの上層遮光層(マスク遮光層4M及びパッド遮光層4P)と引き出し電極12A及び12B(ここではアルミニウムにより形成)の重ね合わせにより、画素開口以外の領域全ての遮光を成している。マスク遮光層4M及びパッド遮光層4Pは、共に導電性を有する材料、例えばTiなどの金属膜からなる。マスク遮光層4Mは画素の行方向(横方向)に沿って連続的にパタニングされており、少なくとも部分的にTFTを遮光する。パッド遮光層4Pは画素毎に離散的にパタニングされ、画素電極8とのコンタクトに寄与している。即ち、画素電極8はコンタクトホールPCNを介してパッド遮光層4Pに接続する。パッド遮光層4PはコンタクトホールJCNを介して引き出し電極12Bに接続する。前述した様に引き出し電極12BはコンタクトホールDCNを介してTFT7のドレイン領域Dに電気接続している。マスク遮光層4M及びパッド遮光層4Pと、引き出し電極12A及び12Bの重ね合わせにより、画素開口以外の領域の全てが対向基板側からの入射に対して遮光される。

【0006】一方、画素トランジスタ部の対向基板2とは逆の側に、遮光層5が形成されている。これを「下層遮光層」と称する。少なくとも画素トランジスタ7のソース／ドレイン端部は、この下層遮光層5で遮光されている。この様に遮光されているソース／ドレイン端部に、LDD領域71、72が形成されているのである。下層遮光層5は、一般に高融点金属のシリサイドから形成される。例えば、WSiからなり200nmの厚みを有する。

【0007】

【発明が解決しようとする課題】近年加速する液晶プロジェクタの高輝度化に対応して、図5に示した様な液晶パネルの透過率向上が要求されている。合わせて、プロジェクタ用光源から発する大光量下における画像品位の維持が要求されている。従来、その為の手法として、

(1)画素開口率向上による透過率改善と(2)補助容量(Cs面積)増による画像品位の維持が実施されており、市場の要求に答えてきた。しかしながら、手法

(1)と(2)は本質的に相反している。即ち、Cs面積の増大はそのまま開口率の低下に直結する。従来、

(1)と(2)の手法を平行して進めることができたのは、画素レイアウト上余裕があったからである。しかし、液晶プロジェクタの高精細化が進むに連れ、レイアウト上の余裕はなくなってきており、一層の高開口率化を達成する為には、従来の画素構造の延長線上では最早不可能になっている。

【0008】図6は、図5に示した従来の液晶表示装置の模式的な平面図であり、一画素分のみを表わしている。図示する様に、液晶表示装置は、互いに交差する複数の信号配線12及びゲート配線を備えている。列方向

(縦方向)に配された信号配線12と行方向(横方向)に配されたゲート配線との交差部に、画素が設けられている。画素は、画素電極と、これを駆動する薄膜トランジスタと、薄膜トランジスタを外光から遮蔽する遮光帯(遮光層)とを含む。薄膜トランジスタは半導体薄膜10を活性層としており、そのソース領域はコンタクトホールSCNを介して信号配線12に接続し、ドレイン領域は同じくコンタクトホールDCNを介して画素電極

(図示せず)に接続している。又、ゲート電極Gはゲート配線の一部として形成されている。尚、ゲート配線は半導体薄膜(1poly)10とは別の層になる半導体薄膜(2poly)で形成されている。更に、画素には補助容量13が形成されている。この補助容量13は、半導体薄膜(1poly)10と、半導体薄膜(2poly)14との間にゲート絶縁膜と同層の誘電体薄膜を挟持した積層構造となっている。補助容量13の下側電極となる半導体薄膜10は薄膜トランジスタのドレインと同電位となる一方、補助容量13の上側電極となる半導体薄膜14は、コンタクトホールCCNを介して上層のアルミニウムからなる引き出し電極(図示せず)に接続されている。この引き出し電極は更にコンタクトホールMCNを介して上層のマスク遮光層に接続されている。尚、画素電極(図示せず)はコンタクトホールPCN、JCN及びDCNを介して薄膜トランジスタのドレイン領域Dに接続している。図示する様に、ゲート電極Gは半導体薄膜14(2poly)で形成されており、そのまま横方向に延長されてゲート配線を形成する。この半導体薄膜14は補助容量13の上側電極ともなるが、ゲート配線と電位は異なる。この為、同じ半導体薄

膜 1 4 で形成されているにも関わらず、ゲート配線と補助容量 1 3 の上側電極は電氣的に分離する必要がある、両者の間に所定の間隙 (G A P) を確保する必要がある。この画素構造では、ゲート配線と補助容量 1 3 の上側電極とを互いに平行に配置している為、両者の間に G A P を取る必要がある、この為開口率が制限される。開口率を改善する為には、ゲート配線と補助容量 1 3 の上側電極とを別層にて形成することが有効であることが容易に推定されるが、図 6 に示す従来構造ではその様になっていない。

【 0 0 0 9 】 図 7 は、図 6 に示した従来構造における開口率と補助容量 (C s) 面積との関係を示すグラフである。開口率を大きく取ろうとすると、補助容量面積が犠牲となる為、開口率アップと共に補助容量面積が急激に減少してしまう。これは、ゲート配線と補助容量の上側電極 (補助容量配線) が同層で且つ平行配置されている為である。この様な平行配置構造では、開口率の改善と補助容量面積の確保は両立し得ず、解決すべき課題となっている。

【 0 0 1 0 】

【課題を解決するための手段】 上述した従来の技術の課題に鑑み、本発明はアクティブマトリクス型液晶表示装置の駆動基板として使われる薄膜半導体装置の画素開口率を改善することを目的とする。係る目的を達成する為に以下の手段を講じた。即ち、本発明は、互いに交差する複数の信号配線及びゲート配線と、両配線の各交差部に配された画素とを絶縁性の基板上に備え、各画素は、少なくとも画素電極と、これを駆動する薄膜トランジスタと、該薄膜トランジスタを外光から遮蔽する遮光帯とを含み、該薄膜トランジスタのソースは該信号配線に接続され、ドレインは該画素電極に接続され、ゲート電極は該ゲート配線に接続されている薄膜半導体装置において、前記遮光帯は、第一の導電層からなり少なくとも一部が該ゲート配線に使用され、前記ゲート電極は、第一の導電層とは異なる第二の導電層からなり、ゲート配線に使用される該第一の導電層と、ゲート電極になる該第二の導電層とが、各画素内で互いに電氣的に接続されていることを特徴とする。

【 0 0 1 1 】 好ましくは、前記ゲート電極を構成する第二の導電層は各画素毎に分断されており、分断された個々の第二の導電層の部分は各画素内で該ゲート配線に使用される該第一の導電層と電氣的に接続されている。或いは、前記ゲート配線を構成する第一の導電層は各画素毎に分断されており、分断された個々の第一の導電層の部分は各画素内で該ゲート電極となる該第二の導電層と電氣的に接続されている。又、前記遮光帯は、該薄膜トランジスタを上下の両方から遮蔽する二層の導電層からなり、その片方が第一の導電層として該ゲート配線に使用されている。或いは、前記遮光帯は、該薄膜トランジスタを上下の内片側から遮蔽する単層の導電層からな

り、これが第一の導電層として該ゲート配線に使用されている。又、各画素は、該薄膜トランジスタを介して信号配線から該画素電極に書き込まれた信号電荷を保持するために誘電体を上下一対の電極で挟んだ補助容量を含み、該上下一対の電極の一方が該ゲート電極を構成する第二の導電層と同層である。

【 0 0 1 2 】 本発明によれば、薄膜トランジスタを外光から遮蔽する遮光帯が第一の導電層からなり、少なくともその一部をゲート配線に使用している。一方、ゲート電極は第一の導電層とは異なる第二の導電層からなり、ゲート電極と遮光帯を各画素内で互いに電氣的に接続している。この様に、遮光層をゲート配線に利用することで、ゲート配線と補助容量線を同層で形成する必要がなくなる。例えば、下層遮光層をゲート配線に使用すれば、その上に重ねてゲート電極と同層で補助容量配線を形成できる。従来の様に、同層のゲート配線と補助容量配線の間に線間 G A P を確保する必要がなくなるので、その分開口率の改善につながる。

【 0 0 1 3 】

【発明の実施の形態】 以下図面を参照して本発明の実施の形態を詳細に説明する。図 1 は、本発明に係る液晶表示装置の一例の模式的な平面図であり、特に一画素分を示してある。図 1 は、特に液晶表示装置の駆動基板側となる薄膜半導体装置の平面構成を表わしている。図示する様に、薄膜半導体装置は、互いに交差する複数の信号配線 1 2 及びゲート配線と、両配線の各交差部に配された画素とを絶縁性の基板の上に備えている。図では、縦方向に配した一本の信号配線 1 2 と、横方向に配した一本のゲート配線との交差部に、一個の画素が配されている。各画素は、少なくとも画素電極 (図示せず) と、これを駆動する薄膜トランジスタと、薄膜トランジスタを外光から遮蔽する遮光層 (遮光帯) 5 とを含んでいる。薄膜トランジスタは、下層にある遮光層 5 の上に形成された半導体薄膜 1 0 を素子領域としている。薄膜トランジスタのソースはコンタクトホール S C N を介して信号配線 1 2 に接続され、ドレインはコンタクトホール D C N 、 J C N 及び P C N を介して画素電極 (図示せず) に接続され、ゲート電極 G はゲート配線に接続されている。尚、このゲート電極 G は半導体薄膜 (1 p o l y) 1 0 より上層にある別の半導体薄膜 (2 p o l y) 1 4 で形成されている。

【 0 0 1 4 】 特徴事項として、遮光層 5 は第一の導電層からなり少なくとも一部がゲート配線に使用されている。ゲート電極 G は、第一の導電層とは異なる第二の導電層 (即ち、不純物が高濃度で注入された半導体薄膜 1 4) からなる。ゲート配線に使用される第一の導電層と、ゲート電極 G になる第二の導電層 (半導体薄膜 1 4) とが、各画素内でコンタクトホール G C N を介し互いに電氣的に接続されている。即ち、本発明では、ゲート電極 G とゲート配線が別層であり、両者がコンタクト

ホールGCNを介して画素単位で互いに接続する立体構成となっている。ここで、ゲート電極Gを構成する第二の導電層（半導体薄膜14）は、各画素毎に分断されており、分断された個々の第二の導電層の部分（ゲート電極G）は、各画素内でゲート配線に使用されている第一の導電層（遮光層5）と電気的に接続されている。

【0015】画素は、上述した薄膜トランジスタ及び画素電極に加え、補助容量13を備えている。補助容量13は、薄膜トランジスタを介して信号配線12から画素電極に書き込まれた信号電荷を保持して、画品位を維持するものであり、誘電体を上下一対の電極で挟んだ積層構造となっている。補助容量13の上側電極は、ゲート電極Gを構成する第二の導電層（半導体薄膜14）と同層である一方、下側電極は半導体薄膜10と同層である。従って、誘電体は上下一対の電極14、10の間に挟持されたゲート絶縁膜と同層の絶縁膜からなる。図から明らかな様に、補助容量13はゲート配線を構成する遮光層5の上に重ねて形成することが可能となる。従って、従来に比べ画素開口率を大幅に改善可能である。これは、従来、ゲート電極Gと同層であったゲート配線の一部を、別層の遮光層5で代用することにより、実現された構造である。即ち、ゲート配線は例えばWSiからなる下層遮光層5で形成される一方、ゲート電極Gは従来と同様に半導体薄膜（2poly）14にて形成される。両者は、コンタクトホールGCNを介して互いに電気的に接続される。一方、補助容量13の上側電極は、ゲート電極Gと同層の半導体薄膜（2poly）14にて形成される。ゲート配線と補助容量13の上側電極（補助容量配線）とは、別レイヤーにて形成されるので、ゲート配線となる遮光層5の上に補助容量13を形成することが可能となり、開口率を格段に向上することができる。

【0016】図2は、図1に示したX-X線に沿って切断した液晶表示装置の断面構造を示している。図示する様に、本液晶表示装置は、所定の間隙を介して互いに接合した一対の基板1、2と、この間隙に保持された液晶3とからなる。一方の基板1は、互いに交差する複数の信号配線12及びゲート配線と、両配線の各交差部に配された画素を有する一方、他方の基板（対向基板）2は、各画素に対向する電極（対向電極）6を有している。

【0017】下側の基板1の表面には下層遮光層5が形成されており、その上に絶縁膜9を介して薄膜トランジスタと補助容量13が形成されている。薄膜トランジスタはデュアル構造のゲート電極10の上に、ゲート絶縁膜11を介してゲート電極Gを配したトップゲート構造となっている。前述した様に、ゲート電極Gは各画素毎に分断されており、コンタクトホールGCNを介して、ゲート配線を兼ねる遮光層5に電気接続している。一方、補助容量13は、下側の半導体薄膜10と、上側の

半導体薄膜14と、両者の間に保持されたゲート絶縁膜11とで構成されている。図から明らかな様に、補助容量13の上側電極とゲート電極Gとは、同層の半導体薄膜（2poly）14で構成されている。係る構成を有する薄膜トランジスタ及び補助容量13は、層間絶縁膜により被覆されており、その上には前述した信号配線12や引き出し電極12Cが形成されている。これらの信号配線12及び引き出し電極12Cはアルミニウムからなり、その表面は平坦化膜で被覆されている。平坦化膜の上には、上層遮光層4が形成されている。この様に、本実施形態では外光を遮断する為の遮光帯は、薄膜トランジスタを上下の両方から遮蔽する二層の導電層からなり、その片方が第一の導電層としてゲート配線に使用されている。これに代えて、遮光帯は薄膜トランジスタを上下の内片側から遮蔽する単層の導電層からなり、これが第一の導電層としてゲート配線に使用される構成でもよい。本例では、補助容量13の上側電極はコンタクトホールCCNを介して引き出し電極12Cに電気接続している。更にこの引き出し電極12CはコンタクトホールMCNを介して上層遮光層4に電気接続している。これにより、補助容量13の上側電極には一定の電位が印加される。更に上層遮光層4は保護膜で覆われており、その上に画素電極（図示せず）が形成されている。

【0018】引き続き図2を参照して本液晶表示装置の製造法を説明する。本液晶表示装置は、所定の間隙を介して互いに接合した一対の基板1、2と、この間隙に保持された液晶3とからなる。これを製造する為に、一方の基板1には互いに交差する複数の信号配線12及びゲート配線と両配線の各交差部に配された画素を形成する一方、他方の基板2には各画素に対向する電極6を形成する。各画素には、少なくとも画素電極と、これを駆動する薄膜トランジスタと、該薄膜トランジスタを外光から遮蔽する遮光帯5とを形成する。薄膜トランジスタのソースを信号配線12に接続し、ドレインを画素電極に接続し、ゲート電極Gをゲート配線に接続する。その際、遮光帯5は、第一の導電層で形成すると共に少なくともその一部をゲート配線に使用する。又、ゲート電極Gは、第一の導電層とは異なる第二の導電層14で形成する。そして、ゲート配線に使用する第一の導電層とゲート電極Gになる第二の導電層14とを各画素内でコンタクトホールGCNにより互いに電気的に接続する。本例では、遮光帯は、薄膜トランジスタを上下の両方から遮蔽する二層の導電層で形成し、片方の遮光帯5を第一の導電層としてゲート配線に使用する。又、信号配線12から薄膜トランジスタを介して画素電極に書き込まれる信号電荷を保持するために、誘電体となるゲート絶縁膜11を上下一対の電極（10、14）で挟んだ補助容量13を各画素に形成し、上下一対の電極の一方がゲート電極Gを構成する第二の導電層14と同層になる様に形成する。

【0019】図3は、一画素分の等価回路を示す模式図である。(A)は本発明の回路を示し、(B)は参考例を表わしている。まず(B)の参考例であるが、これは下層遮光層5がゲート配線の一部となっておらず、接地電位に接続されている。係る構成では、金属遮光層5による寄生トランジスタが点線で囲む様にLDD領域にできてしまう。遮光層5の電位は固定で通常接地されている為、寄生トランジスタを常にオフしようとする方向に働く。これを防ぐ為に、LDD領域の不純物濃度を一定限度以上下げることが不可能である。しかし近年の大光

【0020】一方(A)に示した本発明の構成では、参考例と同様に金属遮光層5による寄生トランジスタはできるものの、遮光層5の電位は常にコンタクトホールGCNを介してゲート電位と等しく保たれている。従って、点線で囲った寄生トランジスタのオン/オフは、実体的な薄膜トランジスタと完全に同期する。この為、LDD領域の不純物濃度を劇的に低減可能であり、その結果画品位の維持向上が実現できる。尚、図中、信号配線12に供給された画像信号Vsigは薄膜トランジスタTFTのソース領域Sからド레인領域Dを介して画素電極に書き込まれる。図では、画素電極に書き込まれた電位をVpxlで表わしてある。一方、薄膜トランジスタのゲート電極Gに印加される電位をVgで表わしてある。

【0021】図4は、ゲート電極Gと、ゲート配線に代用される遮光層5との接続関係を示す模式図である。

(A)は、図1に示した実施形態の接続関係を模式的に表わしたものであり、各画素電極Gが画素単位で分断されている一方、ゲート配線となる遮光層5は画素間で連続している。各分断されたゲート電極Gは、対応するコンタクトホールGCNを介して下層遮光層5に電気接続されている。金属薄膜層や半導体薄膜層を重ねて形成する多層化の副作用として、基板の変形量が増大しつつある。これは、パネルの組立や実装工程における制御に深刻な影響を与えている。特に、従来半導体薄膜(2poly)からなるゲート配線をパネルの横方向に沿って連続的に形成していることが、基板変形の大きな要因であることが判明している。これに対し、本発明では(A)に模式的に表わした様に、2polyからなるゲート電極Gを画素毎に分断している為、基板変形量の低減化が期待できる。更には、従来の様に配線として使用しないのでゲート電極G自体の膜厚を薄くできる。これによっても、基板変形量を下げることが可能である。

【0022】(B)は、ゲート電極Gに加え、ゲート配線を構成する下層遮光層5も画素単位で分断した構成である。それぞれ分断されたゲート電極G及び下層遮光層5を一画素当たり二個設けたコンタクトホールGCNで連続的に電気接続していく構成となっている。下層遮光層5も分断したので、基板変形量を更に小さくすることが可能である。

【0023】(C)は、遮光層5を分断する一方、ゲート電極Gは画素間で連続的に形成している。更に(D)の場合は、ゲート電極G及び下層遮光層5を連続的に保持したまま、両者を画素毎に設けたコンタクトホールGCNで互いに接続している。このような構成では、上下二層の導電層の内一方が断線しても、他方で導通を確保できる為、結果的に故障が発生しないというメリットが得られる。

【0024】

【発明の効果】以上説明した様に、本発明によれば、遮光層をゲート配線に利用することで、開口率の改善が可能になる。又、ゲート配線を兼ねる遮光層とゲート電極とで薄膜トランジスタの活性層となる半導体薄膜を上下から挟むダブルゲート構造が実現でき、薄膜トランジスタの設計マージンの拡大につながる。例えば、ダブルゲート構造とすることでLDD領域の不純物濃度を低減化可能となり、その分光リークの少ない薄膜トランジスタが得られる。更に、ゲート電極もしくはゲート配線として使われる遮光層を画素単位で分断することにより、基板の変形を抑制することが可能である。

【図面の簡単な説明】

【図1】本発明に係る液晶表示装置の模式的な平面図である。

【図2】図1に示した液晶表示装置の模式的な断面図である。

【図3】図1及び図2に示した液晶表示装置の一画素分の等価回路図である。

【図4】本発明に係る液晶表示装置の画素電極と遮光層の電氣的な接続関係を示す模式図である。

【図5】従来の液晶表示装置の一例を示す断面図である。

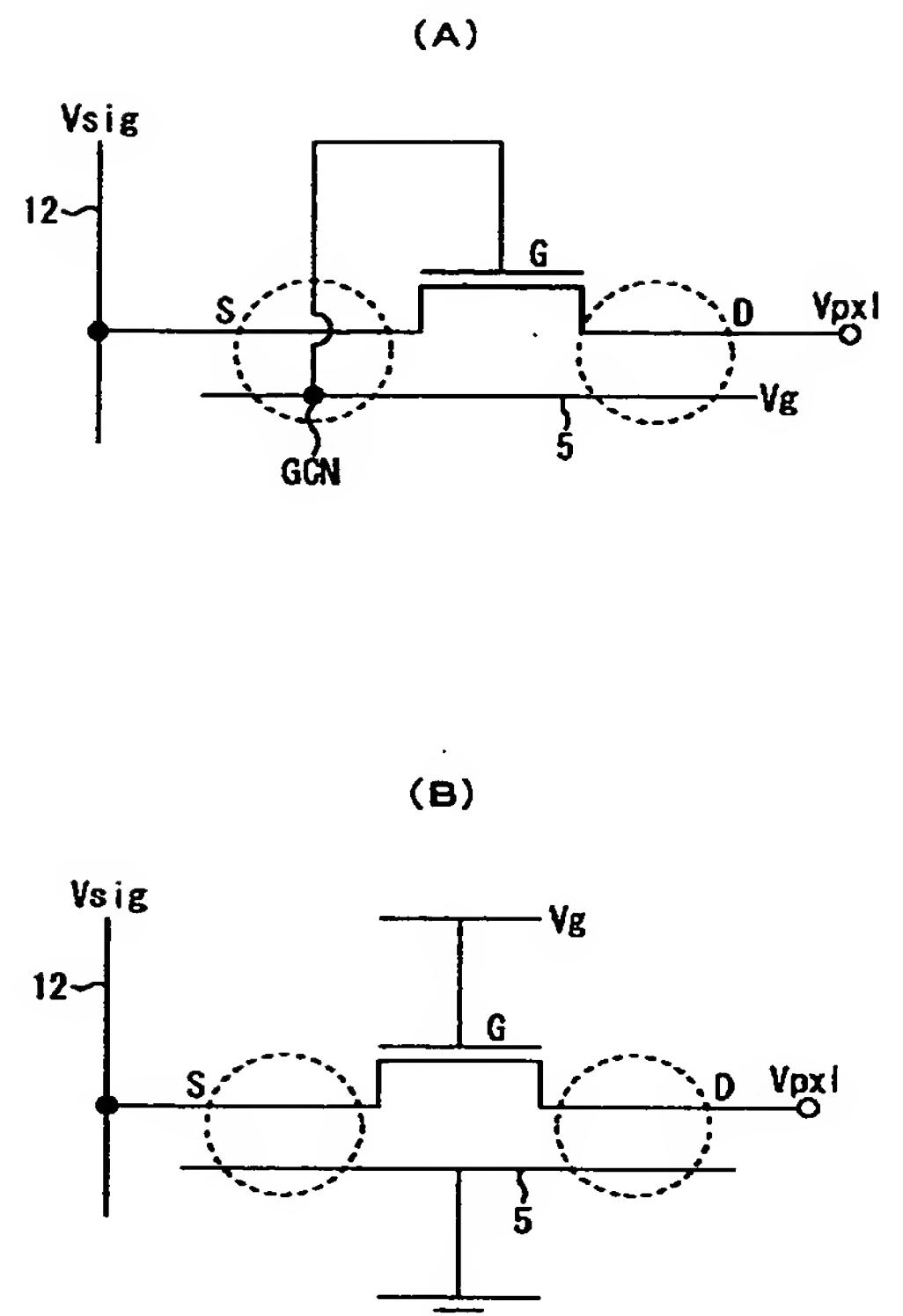
【図6】従来の液晶表示装置の一例を示す平面図である。

【図7】画素開口率と補助容量面積との関係を示すグラフである。

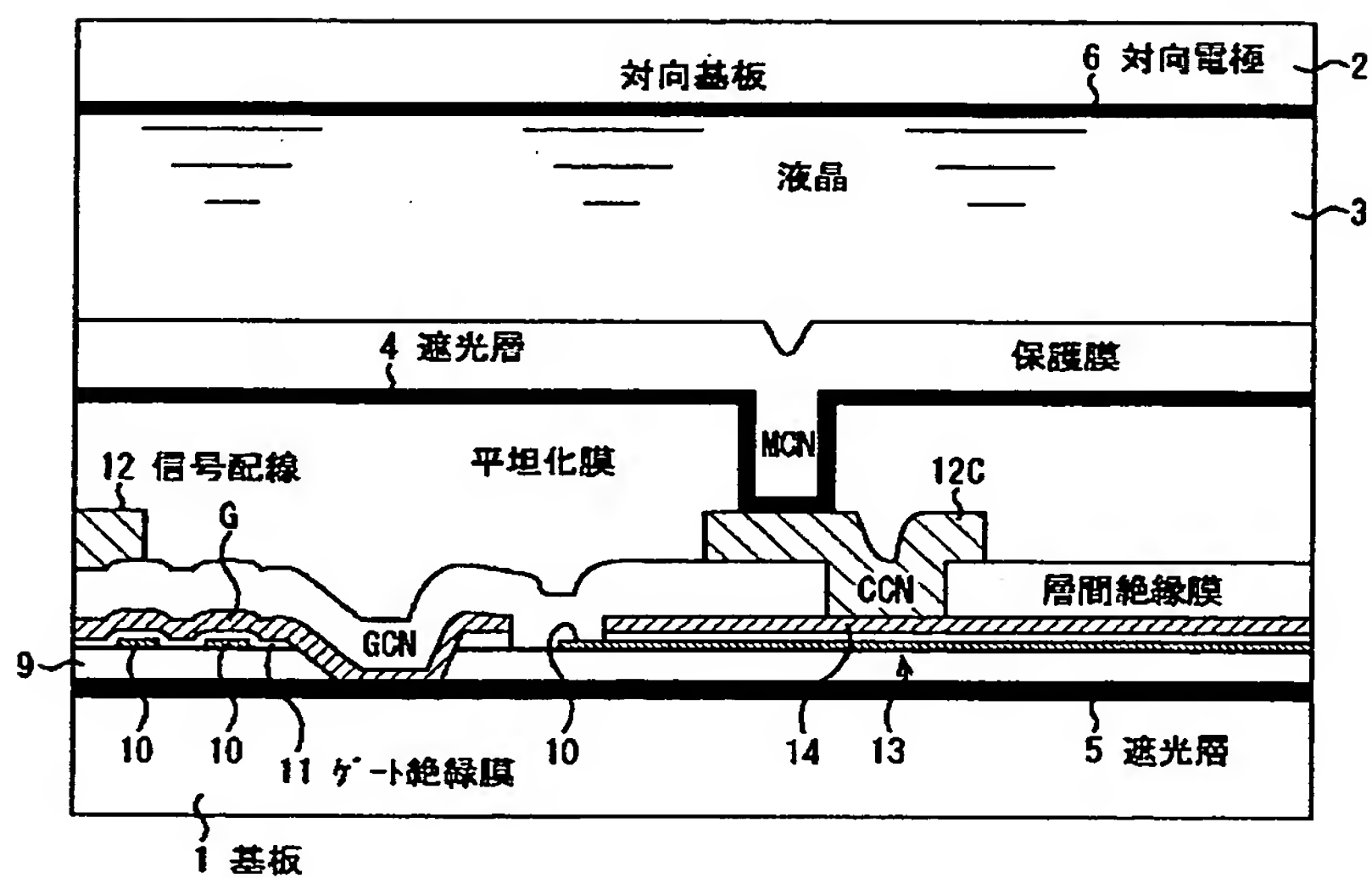
【符号の説明】

5・・・遮光層(ゲート配線)、10・・・半導体薄膜、12・・・信号配線、13・・・補助容量、14・・・半導体薄膜、G・・・ゲート電極

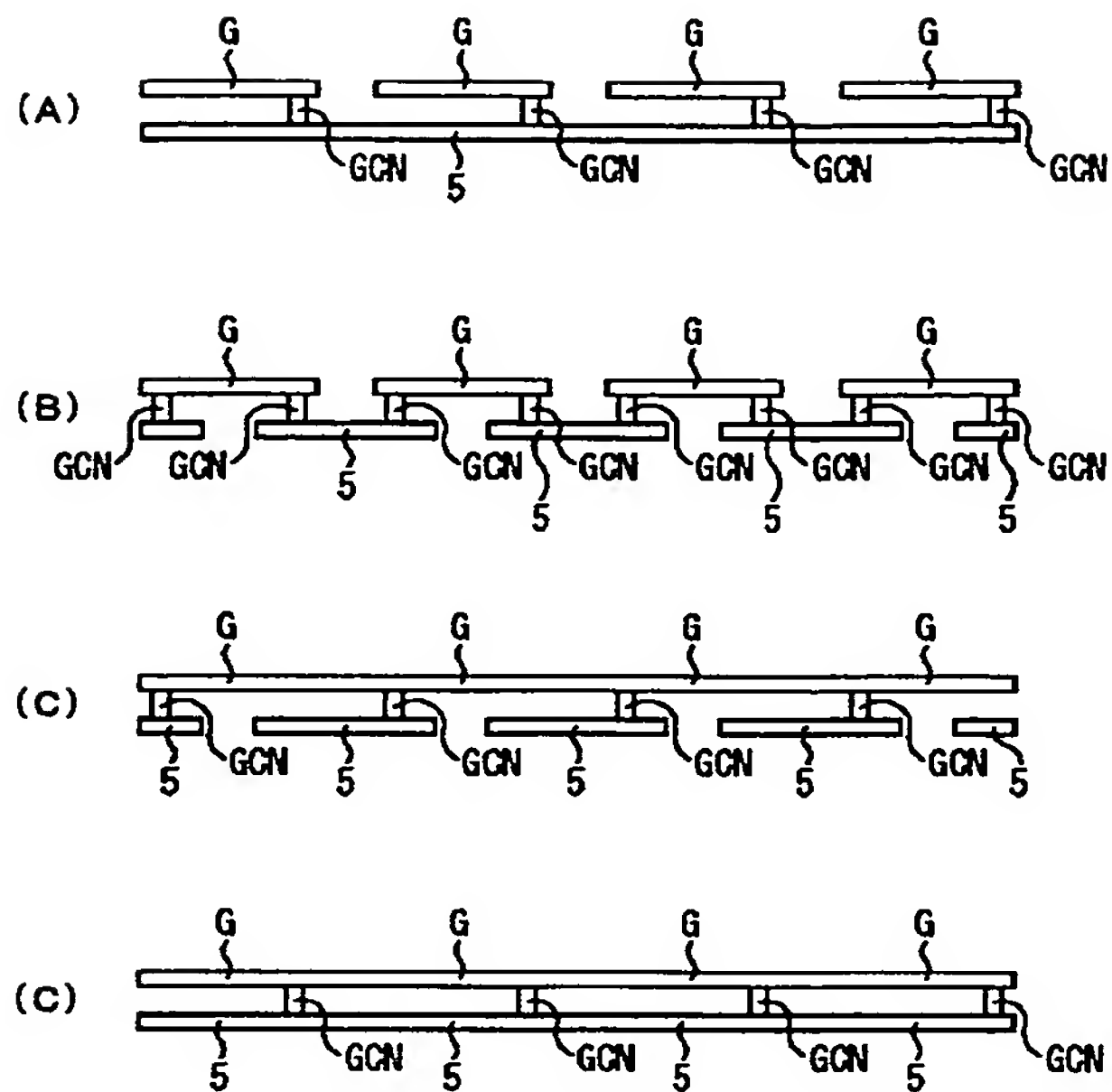
【図 3】



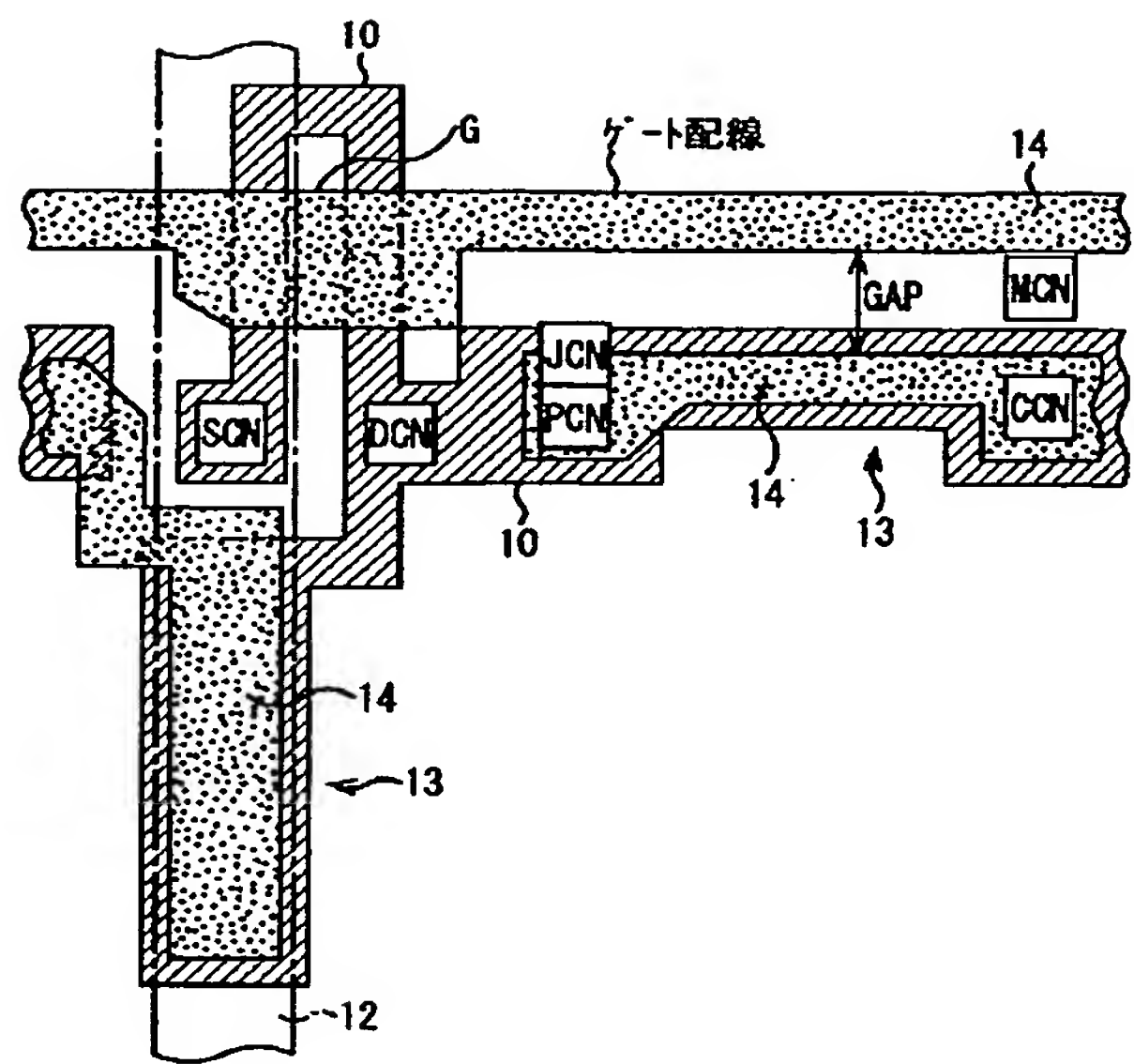
【图 2】



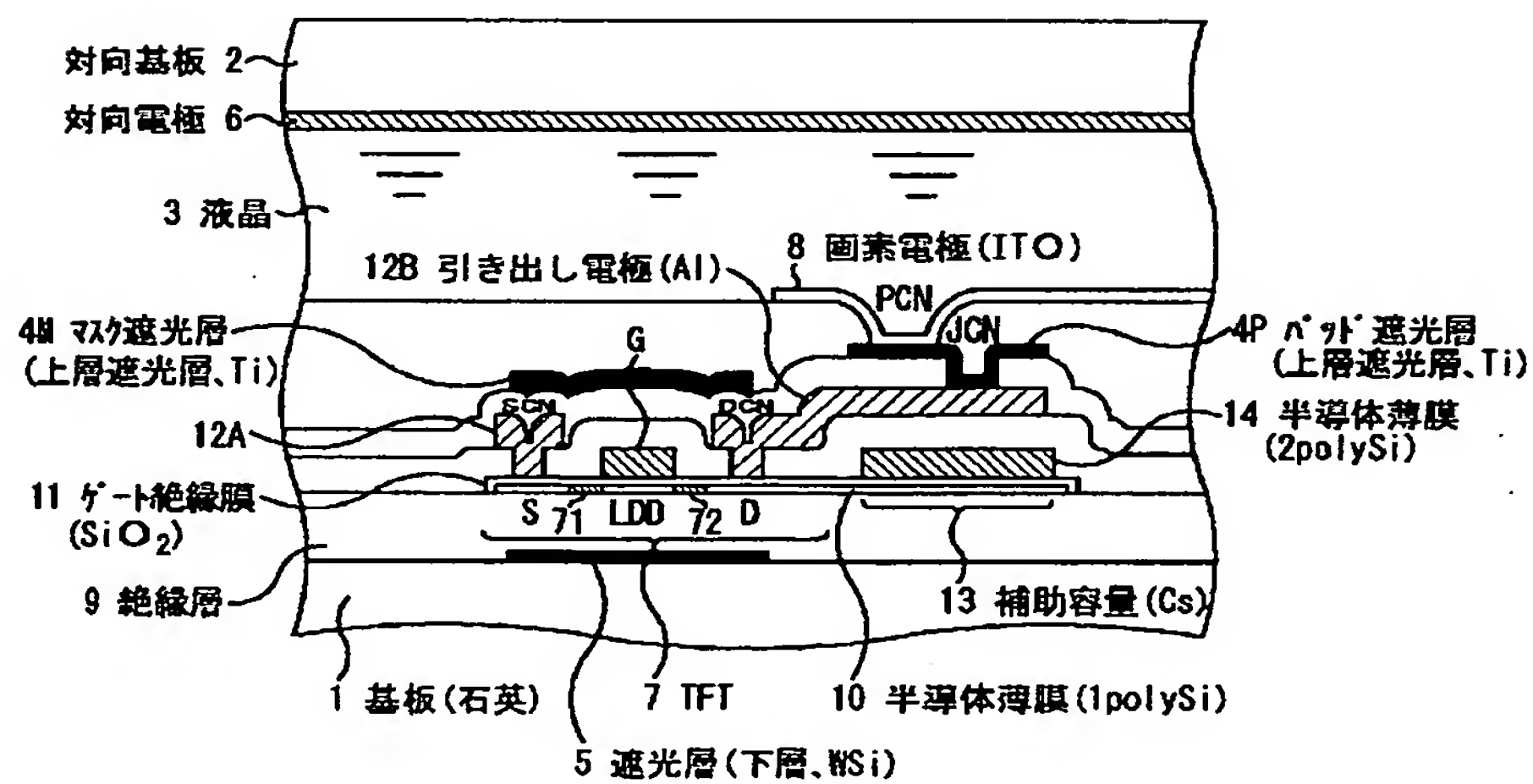
【図 4】



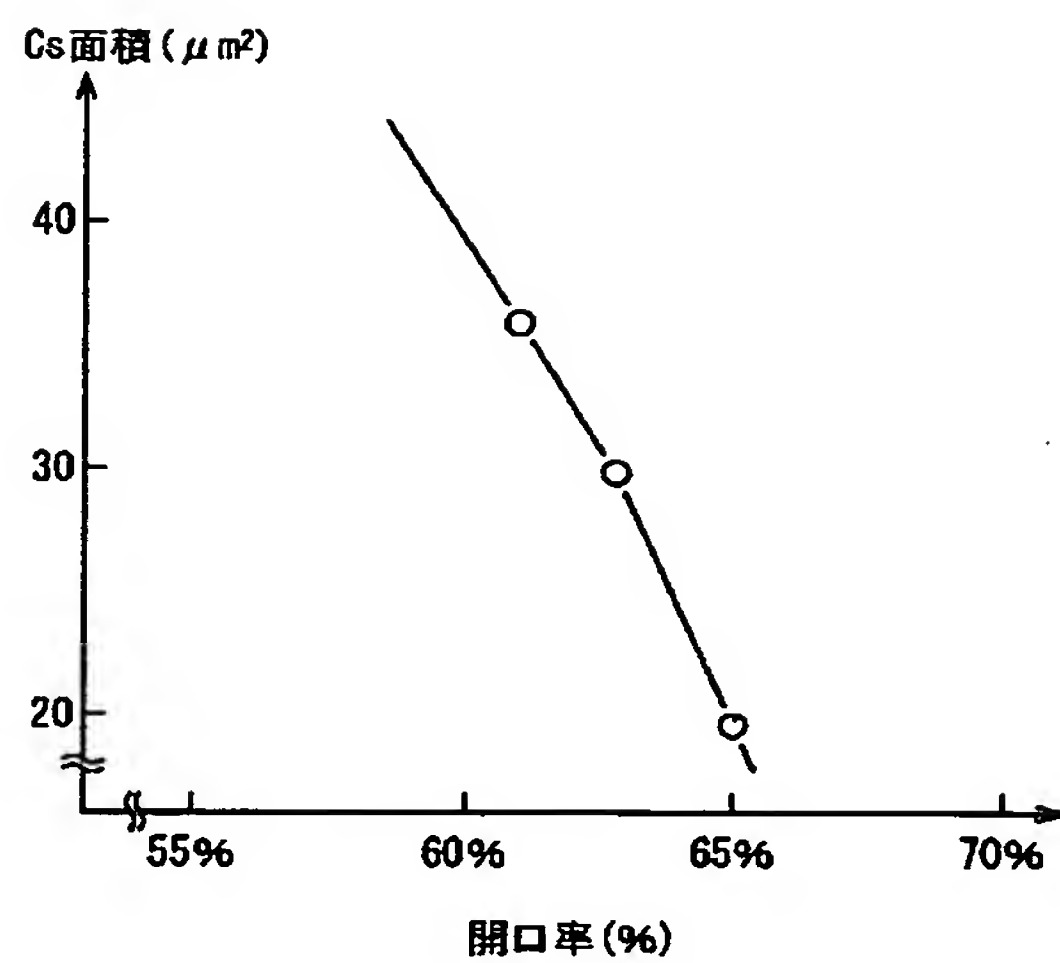
【図 6】



【図 5】



【図 7】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F I

テームコード (参考)

H 0 1 L 29/78

6 1 7 N

F ターム (参考) 2H092 JA25 JA34 JA40 JA41 JA46
 JB51 JB54 JB68 KA04 KA05
 NA07
 5C094 AA10 AA15 BA03 BA43 CA19
 EA04 EA07 EB02 EB05 ED15
 FB14
 5F110 AA30 BB01 CC02 DD03 EE09
 EE30 HL03 HM15 NN03 NN44
 NN46 NN73